

DIALOG(R)File 347:JAPIO

(c) 2005 JPO & JAPIO. All rts. reserv.

03087520 **Image available**

ACTIVE MATRIX TYPE LIQUID CRYSTAL DISPLAY ELEMENT

PUB. NO.: **02-063020** [JP 2063020 A]

PUBLISHED: March 02, 1990 (19900302)

INVENTOR(s): SHIBUSAWA MAKOTO

APPLICANT(s): TOSHIBA CORP [000307] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 63-213692 [JP 88213692]

FILED: August 30, 1988 (19880830)

INTL CLASS: [5] G02F-001/136

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment)

JAPIO KEYWORD: R004 (PLASMA); R011 (LIQUID CRYSTALS); R044 (CHEMISTRY --
Photosensitive Resins); R096 (ELECTRONIC MATERIALS -- Glass
Conductors)

JOURNAL: Section: P, Section No. 1052, Vol. 14, No. 245, Pg. 79, May
24, 1990 (19900524)

ABSTRACT

PURPOSE: To minimize a decrease in light transmissivity and to obtain such picture quality that a display is bright and a flicker is small by prescribing an opening area by a pattern for a capacity forming electrode formed of a light shield material on an array substrate.

CONSTITUTION: A light shield layer 37 has the specific opening part corresponding to a display picture element electrode 25 and covers the substrate completely except the display picture element electrode 25. Further, the contour line 44 of the opening part which is prescribed by the pattern of the light shield layer 37 is put within the pattern of the capacity forming electrode 28. The width L1 indicates the gap between the outer periphery of the capacity forming electrode 28 and the contour line 44 and the width L2 indicates the gap between the inner periphery of the capacity forming electrode 28 and the contour line 44. Those widths L1 and

L2 are set preferably to size larger than the sticking accuracy between the array substrate and a counter substrate 38. Consequently, the opening area can be increased and the picture quality of a bright display with a small flicker is obtained.

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

平2-63020

⑬ Int. Cl.

G 02 F 1/138

識別記号

500

庁内整理番号

7370-2H

⑭ 公開 平成2年(1990)3月2日

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 アクティブマトリクス型液晶表示素子

⑯ 特願 昭63-213692

⑰ 出願 昭63(1988)8月30日

⑱ 発明者 渋沢 誠 神奈川県横浜市磯子区新杉田町8 株式会社東芝横浜事業所内

⑲ 出願人 株式会社 東芝 神奈川県川崎市幸区堀川町72番地

⑳ 代理人 弁理士 則近 恵佑 外1名

明細書

1. 発明の名称

アクティブマトリクス型液晶表示素子

2. 特許請求の範囲

絶縁基板の一主面上に薄膜トランジスタ及びこれに接続される表示画素電極からなる一画素をマトリクス状に配し且つ各画素に対し前記表示画素電極と絶縁膜を介して対向する遮光性材料からなる容皿形成用電極が設けられてなるアレイ基板と、絶縁基板の一主面上に共通電極及び前記表示画素電極に対応した所定の開口部を有する遮光層を形成してなる対向基板と、前記アレイ基板と前記対向基板を互いの前記一主面側が対向するように組み合わせて得られる間隙に挟持してなる液晶とを備えたアクティブマトリクス型液晶表示素子において、

前記一画素についての前記対向基板の前記一主面上への投影図で、前記遮光層のパターンにより規定される前記開口部の輪郭線が、前記容皿形成用電極のパターン内に収まることを特徴とするア

クティブマトリクス型液晶表示素子。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

この発明は、薄膜トランジスタ (Thin Film Transistor, TFT) をスイッチ素子として表示画素電極アレイを構成したアクティブマトリクス型液晶表示素子に関する。

(従来の技術)

近年、液晶を用いた表示素子は、テレビ表示やグラフィックディスプレイ等を指向した大容量で高密度のアクティブマトリクス型表示素子の開発及び実用化が盛んである。このような表示素子では、クロストークのない高コントラストの表示が行えるように、各画素の駆動と制御を行う手段として半導体スイッチが用いられる。その半導体スイッチとしては、透過型表示が可能であり大面積化も容易である等の理由から、透明絶縁基板上に形成されたTFT等が、通常用いられている。

第2図はTFTを備えた表示画素電極アレイを

特開平2-63020 (2)

用いた液晶表示素子の一画素を表す簡単な回路図である。同図において、交差する走査線1と信号線2の各交点位置にはTFT3が設けられ、TFT3のゲートは行ごとに走査線1に接続され、TFT3のドレインは列ごとに信号線2に接続されている。また、TFT3のソースは表示画素電極4に接続されており、表示画素電極4と対向電極5との間には液晶層6が挟持されている。

次に、この液晶表示素子の駆動方法について説明する。即ち、TFT3のゲートに走査線選択電圧($V_{g, on}$)が印加されている期間(スイッチング期間)に、表示画素電極4の電位が映像信号電位と同電位に設定され、TFT3のゲートに走査線非選択電圧($V_{g, off}$)が印加されている期間は、表示画素電極4がこの電位を保持する。この結果、表示画素電極4と、所定の電位に設定されている対向電極5との間に挟持されている液晶層6に、映像信号電圧に応じた電位差がかかる。そして、この電位差に応じて液晶層6の配列状態が変化することにより、この部分の光透過率も変化

し、画像表示が行なわれる。また、液晶層6は直流駆動すると、液晶分子の電気分解により劣化し寿命が短くなるため、交流駆動を行う。一般的には、対向電極5の電位を直流電位に設定し、この対向電極5の電位に対して映像信号電圧を偶奇フレームで正負対称に設定することによって、交流駆動が行われる。即ち、映像信号電圧はある直流電圧(V_{sc})と、映像信号に対応した正負対称な交流電圧(V_{sa})とが加算されたものである。

ところで、第2図に示すように、TFT3のゲート・ソース間に寄生容量(C_{gs})が存在する。この C_{gs} のため、走査信号電圧が $V_{g, on}$ から $V_{g, off}$ に切り替わる際に、容量分割により表示画素電極4の ΔV_p だけ負側にシフトする。このシフト量は、 $\Delta V_p \sim \Delta V_g + C_{gs} / (C_{gs} + C_{lc})$ という関係にある。ここで、 $\Delta V_g = V_{g, on} - V_{g, off}$ であり、 C_{lc} は液晶層6の容量を表している。そこで、この ΔV_p 分だけ対向電極5の電位を負側にシフトさせることにより、液晶層6に印加される電圧が偶奇フレームで等しくなるよう

にする。

(発明が解決しようとする課題)

しかしながら、 C_{lc} は印加される電圧に対して容量変化を示すため、映像信号ごとに ΔV_p の値が異なる。即ち、映像信号ごとに最適な対向電極電位が異なる。一般に、対向電極電位は全画素に対して同時に同電位に設定されるため、種々の映像信号電圧が与えられる表示画面内では、全画素に対して同時に最適な対向電極電位に設定することができない。この結果、表示画面のちらつきであるフリッカーが生じる。

第3図は例えば特開昭56-162793号公報に記載されていて、上述の不具合を解決することが可能な液晶表示素子の一画素を表す簡単な回路図である。同図において、第3図と対応する部分には同一の符号を付してあり、印加電圧に対する容量変化のない蓄積容量(C_s)を C_{lc} と並列に新たに挿入することにより、 ΔV_p の映像信号電圧依存性を低減させることができる。この結果、第2図に示した例の場合と比べ、フリッカーを減少させ

ることができる。

第4図は第3図に示した液晶表示素子について、表示画素電極アレイ基板における一画素の平面構造を説明するための平面図である。同図に示すように、TFT10は、走査線11と一体のゲート電極12、信号線13と一体のドレイン電極14、表示画素電極15に接続されたソース電極16、及び半導体層17から構成されている。また、走査線11と概略平行な方向には、補助容量形成用配線18が表示画素電極15と部分的に絶縁膜(図示せず)を介して対向するように形成されており、表示画素電極15と補助容量形成用配線18との重なり部分で付加的な蓄積容量(C_s)が得られる。

第4図において、補助容量形成用配線18は透明導電膜或いは遮光性の金属膜で形成される。補助容量形成用配線18を透明導電膜で形成する場合は、成膜工程やフォトリソグラフィー工程が増加し、製造プロセス面での欠点が多い。一方、補助容量形成用配線18を遮光性の金属膜で形成す

特開平2-63020(3)

る場合は、光が透過する部分の面積である開口面積が低下し、液晶表示素子の光透過率の低下に直結する。

この発明は、このような事情に鑑みてなされたものである。

[発明の構成]

(課題を解決するための手段)

この発明は、絶縁基板の一主面上にTFT及びこれに接続される画素電極からなる一画素をマトリクス状に配し且つ各画素に対し画素電極と絶縁膜を介して対向する遮光性材料からなる容量形成用電極が設けられてなるアレイ基板と、絶縁基板の一主面上に共通電極及び遮光層を形成してなる対向基板と、アレイ基板と対向基板を互いの一主面側が対向するように組み合わせて構成される間隙に挟持してなる液晶とを備えたアクティブマトリクス型液晶表示素子についてのものである。そして、一画素についての対向基板の一主面上への投影図で、遮光層のパターンにより規定される開口部の輪郭線が、容量形成用電極のパターン内に収

まるようなアレイ構成としている。

(作用)

TFTを用いたアクティブマトリクス型液晶表示素子において、容量形成用電極を形成しない場合、或いは第4図に示した例の場合には、アレイ基板と対向基板との貼り合わせが精度範囲内ですれた場合にも、コントラスト比の低下を防ぐために、対向基板上の遮光層パターンは、表示画素電極パターン以外の部分、即ち、液晶層により変調されない光が透過する部分を覆うように形成される。具体的には、対向基板上の遮光層パターンが表示画素電極パターンの周辺部分に貼り合わせ精度分だけ重なり合うように形成される。従って、表示画素電極パターンの外周部に、表示に寄与しない無効領域が存在する。この発明では、この無効領域を付加的な蓄積容量(Cs)の形成のために利用している。

(実施例)

以下、図面を参照してこの発明を詳細に説明する。

第1図はこの発明の一実施例を示す図であり、同図(a)はアレイ基板上の一画素部分の平面図、同図(b)は一画素部分の概略断面図、同図(c)は一画素部分での概略投影図を表している。第1図(a)において、薄膜トランジスタ(TFT)20は、第4図の場合と同様に、走査線21と一体のゲート電極22、信号線23と一体のドレイン電極24、表示画素電極25に接続されたソース電極26、及び半導体層27から構成されている。また、TFT20近傍には、走査線21と概略平行な方向に直線状に延び且つ表示画素電極25の周囲を絶縁膜(図示せず)を介して取り囲むように、容量形成用電極28が形成されており、表示画素電極25と容量形成用電極28との重なり部分で付加的な蓄積容量(Cs)が得られる。第1図(b)は第1図(a)におけるA-A'断面を矢印方向からみたときに相当する。第1図(b)において、例えばガラスからなる絶縁基板30の一主面上には、例えば遮光性材料であるCr(クロム)膜をスパッタ法で被膜した後、所定

の形状にフォトエッチングすることによりゲート電極22と容量形成用電極28が同時に形成され、更に、これを覆うように例えば酸化シリコン(SiO_x)からなるゲート絶縁膜31がプラズマCVD法により形成されている。ここで、図示はしていないが、ゲート電極22と容量形成用電極28が形成される際に、同じ工程で走査線21も形成される。また、ゲート絶縁膜31が、第1図(a)における容量形成用電極28と表示画素電極25との間に介在する絶縁膜である。そして、ゲート絶縁膜31のゲート電極22に対向する部分には、例えばi型の水素化アモルファシリコン(a-Si:H)からなる半導体層27がプラズマCVD法を利用して形成されており、更に、半導体層27上には互いに電気的に分離されたn型a-Si:Hからなるドレイン領域32とソース領域33とが、同じくプラズマCVD法を利用して設けられている。そして、半導体層27のソース領域33側に隣接するゲート絶縁膜31上には、例えばITO(インジウム・チタン・オキサイ

特開平2-63020 (4)

ド) 膜をスパッタ法で被膜した後、所定の形状にフォトエッチングすることにより表示画素電極25が設けられている。また、ソース領域33にはソース電極26の一端が接続され、ソース電極26の他端は表示画素電極25上に延在して接続されている。更に、ドレイン領域32にはドレイン電極24の一端が接続されている。ここで、ドレイン電極24とソース電極26とは、例えばM0(モリブデン)膜とA1(アルミニウム)膜とをスパッタ法で順次被膜した後、所定の形状にフォトエッチングするという同じ工程で形成しており、また、図示はしていないが、第1図(a)における信号線23もドレイン電極24とソース電極26と同じ工程で形成している。こうして、所望のアレイ基板34が得られる。一方、例えばガラスからなる絶縁基板35の一面上には、例えばITOからなる共通電極36及び例えばA1(アルミニウム)からなるブラックマトリクスとしての遮光層37が順次形成されることにより、対向基板38が構成されている。そして、アレイ

基板34の一主面上には、更に全面に例え低温キュア型のポリイミド(P1)からなる配向膜39が形成されており、また、対向基板38の一主面上にも全面に同じく、例え低温キュア型のポリイミドからなる配向膜40が形成されている。そして、アレイ基板34と対向基板38の一主面上に、各々の配向膜39、40を所定の方向に布等でこすることにより、ラビングによる配向処理がそれぞれ施されるようになる。更に、アレイ基板34と対向基板38とは互いの一主面側が対向し且つ互いの配向軸が概略90°をなすように組み合わせられ、これにより得られる間隙には液晶41が挿入されている。そして、アレイ基板34と対向基板38の他主面側には、それぞれ偏光板42、43が接着されており、アレイ基板34と対向基板38のどちらか一方の他主面側から照明を行う形になっている。

第1図(c)は第1図(a)に相当する部分についての対向基板38の一主面上への概略投影図を表している。第1図(c)において、遮光層

37は第1図(a)における表示画素電極25に対応した所定の開口部を有しており、表示画素電極25を除く部分は完全に覆っている。また、遮光層37のパターンにより規定される開口部の輪郭線44が、容量形成用電極28のパターン内に収まるようになっている。更に、第1図(c)において、幅L1は容量形成用電極28の外周と輪郭線44との間隔を示しているのに対し、幅L2は容量形成用電極28の内周と輪郭線44との間隔を示している。この幅L1、L2はともに、アレイ基板34と対向基板38の貼り合わせ精度以上の寸法に設定することが望ましい。この理由は、幅L1の場合にはアレイ基板34と対向基板38の合わせずれによるコンラスト比の低下を防ぐためであり、幅L2の場合にはアレイ基板34と対向基板38の合わせずれによる開口面積の変動をなくすかあるいは少なくするためにある。

この実施例では、遮光層37のパターンにより規定される開口部の輪郭線44が、容量形成用電極28のパターン内に収まるように、容量形成用

電極28と遮光層37の形状を工夫することにより、表示画素電極25のバターンの表示に寄与しない無効領域を付加容量(Cs)形成することができる。この結果、容量形成用電極28の材料として、フォトリソグラフィー工程が増加してしまう透明導電膜ではなく、金属膜を選定したときにも、開口面積を大きくとることができる。従って、この実施例は、従来に比べ、表示が明るくてちらつきの少ない画質が得られる。

なお、この実施例では、容量形成用電極28は走査線21やゲート電極22と同時に形成したが、表示画素電極25と絶縁膜を介して対向する形であれば、信号線23等と同時に形成されるものであってもよいことは言うまでもない。

【発明の効果】

この発明は、アレイ基板上に形成された遮光性材料からなる容量形成用電極のバターンで開口領域を規定させることにより、金属膜で付加的な蓄積容量(Cs)を形成したときにも、光透過率の低下を最小限に抑えられ、表示が明るくちらつき

特開平2-63020(5)

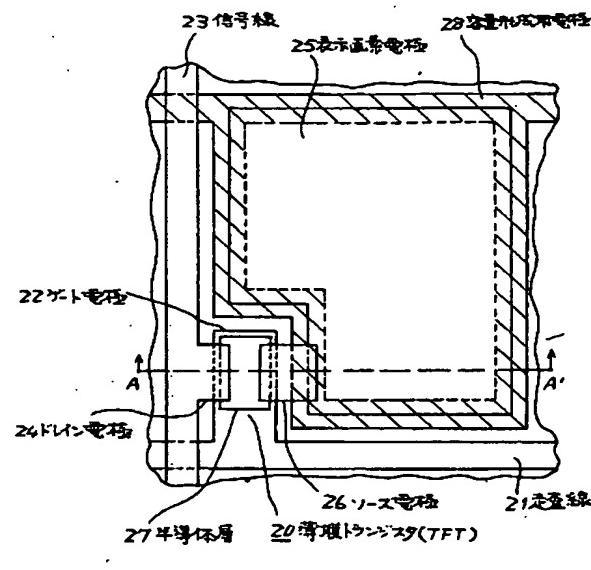
の少ない画質を得ることができる。

4. 図面の簡単な説明

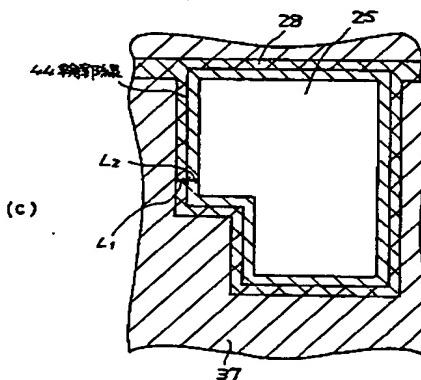
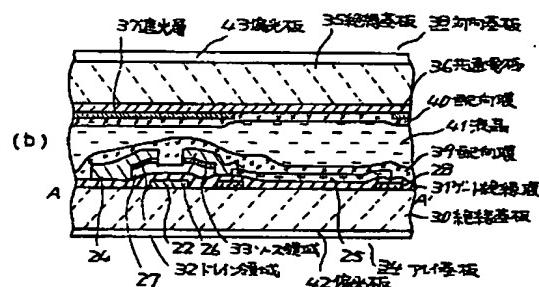
第1図はこの発明の一実施例を示す図、第2図と第3図は従来のアクティブマトリクス型液晶表示素子の一画素の一例を示す概略回路図、第4図は従来のアクティブマトリクス型液晶表示素子のアレイ基板における一画素の平面構造を説明するための図である。

- 20…薄膜トランジスタ
- 25…表示画素電極
- 28…容量形成用電極
- 30, 35…絶縁基板
- 34…アレイ基板
- 36…共通電極
- 37…遮光層
- 38…対向基板
- 41…液晶
- 44…輪郭線

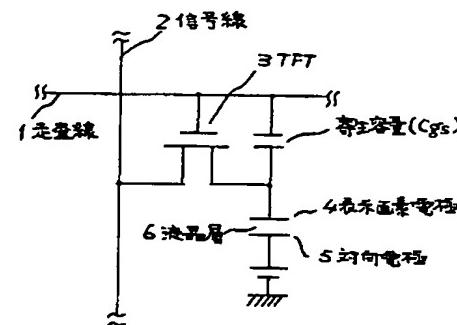
代理人 弁理士 則 近 恵 佑
同 竹 花 審久男



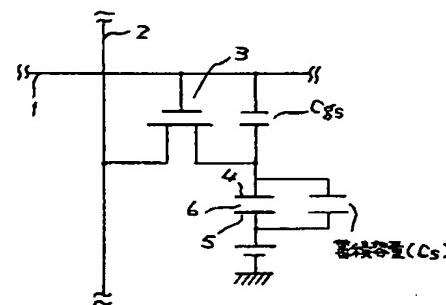
第1図



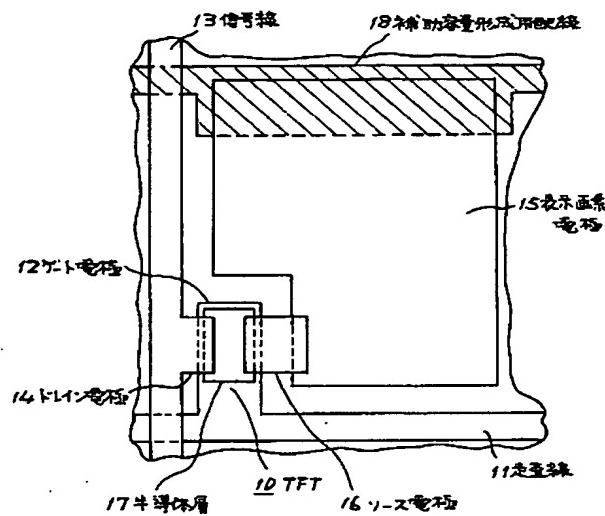
第1図



第2図



第3図



第 4 図